

17. Network Working Group RFC 2327. SDP: Session Description Protocol. – Cambridge: Information Sciences Institute, 1998, 42 p.
18. Drozdov S.N., Zhiglatyy A.A., Kravchenko P.P., Skorokhod S.V., Khusainov N.Sh. Ob opyte realizatsii sistemy videotranslyatsii v formate jpeg2000 i perspektivakh primeneniya standarta jpeg2000 dlya peredachi video i mul'tispektral'nykh dannykh s borta BPLA [On the experience of jpeg2000 broadcasting system implementation and about perspectives of jpeg2000 standard using for transmission of video and multispectral data from UAV], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2014, No. 7 (156), pp. 161-170.
19. Drozdov S.N., Zhiglatyy A.A., Kravchenko P.P., Skorokhod S.V., Khusainov N.Sh. Ob opyte prakticheskoy realizatsii standartov semeystva JPEG2000 pri razrabotke programmnoy sistemy translyatsii videopotoka v real'nom masshtabe vremeni v usloviyakh ogranichenogo setevogo resursa [About the experience of practical implementation of the JPEG2000 standard of the with the development of a software system broadcast video stream in real time under conditions of limited network resource], *Materialy Devyatoy Vserossiyskoy nauchno-prakticheskoy konferentsii "Perspektivnye sistemy i zadachi upravleniya" i Chetvertoy molodezhnoy shkoly-seminara "Upravlenie i obrabotki informatsii v tekhnicheskikh sistemakh"* [The Ninth all-Russian scientific-practical conference "Perspective systems and control problems" and a Fourth youth school-seminar "Management and processing of information in technical systems"]. Taganrog, 2014, pp. 459-472.
20. Kompleksnaya sistema okhrannogo IP-videonablyudeniya Logipix s ispol'zovaniem mul'timegapixel'nykh kamer i NVR kompanii STP [Comprehensive system security CCTV IP Logipix to use-eat multimegapixel cameras and NVR STP]. Available at: http://www.armosystems.ru/system/ip_videosurveillance.ahtm (Accessed 10 January 2015).

Статью рекомендовал к опубликованию д.т.н., профессор В.П. Карелин.

Скорокход Сергей Васильевич – Южный федеральный университет; e-mail: sss64@mail.ru; 347928, г. Таганрог, пер. Некрасовский, 44; тел.: 88634371746; кафедра математического обеспечения и применения ЭВМ; к.т.н.; доцент.

Степанова Анастасия Павловна – e-mail:anastasiyastep3@gmail.com; кафедра математического обеспечения и применения ЭВМ; студентка.

Skorokhod Sergey Vasilievitch – Southern Federal University; e-mail: sss64@mail.ru; 44, Nekrasovskiy, Taganrog, 347928, Ruusia; phone: +78634371746; the department of software engineering; cand. of eng. sc.; associate professor.

Stepanova Anastasiya Pavlovna – e-mail: anastasiyastep3@gmail.com; the department of software engineering; student.

УДК 621.335.2

В.Г. Галалу

ПРЕОБРАЗОВАТЕЛИ КОД-НАПРЯЖЕНИЕ ДЛЯ ТРОИЧНОЙ СИММЕТРИЧНОЙ СИСТЕМЫ СЧИСЛЕНИЯ

Троичная система счисления имеет принципиальные арифметические преимущества по сравнению с классической двоичной системой счисления, она более экономична (в 1,5–2 раза) и обладает большим быстродействием (меньше операций сдвига и переносов при выполнении операций сложения, умножения и деления). Основанием системы является число 3. Особенностью троичной системы счисления является использование для представления каждого разряда числа трех цифр $\{\bar{1}, 0, 1\}$, т.е. базовая система элементов должна иметь элемент памяти с тремя устойчивыми состояниями. Разработаны простые правила сложения, вычитания и умножения для троичной системы счисления. Очевидно, что одним из первых применений процессора с троичной системой счисления станут управляющие системы, что потребует разработки соответствующих АЦП и ЦАП. Рассмотрены три варианта по-

строения ПКН для троичной системы счисления. Наиболее простым представляется выполнение ПКН на аттенюаторе лестничного типа с суммированием равных положительных и отрицательных токов. Получены формулы для расчёта резисторов аттенюатора. Экспериментальная проверка 5-разрядного ПКН полностью подтвердила справедливость полученных аналитических выражений. При включении каждого генератора тока отдельно формировались напряжения: 1500 мВ, 500 мВ, 167 мВ, 58 мВ, 19 мВ, т.е. в точности обеспечивался коэффициент деления 3,000. Рассматривался вариант построения ПКН с суммированием напряжений на аттенюаторе лестничного типа. Анализ показал, что такой ПКН может быть построен на резисторах только 2-х номиналов. Экспериментальная проверка схемы 5-разрядного ПКН с суммированием напряжений при $R=2\text{кОм}$ и $0,75R=1,5\text{ кОм}$ полностью подтвердила теоретические результаты. При эталонном напряжении 5,000 В выходные напряжения составляли: 2500 мВ, 833 мВ, 278 мВ, 93 мВ, 31 мВ. Исследовалась схема ПКН с суммированием взвешенных токов на входе операционного усилителя. Были рассчитаны весовые резисторы для опорного напряжения 5,000В (REF02). При экспериментальной проверке 5-разрядного ПКН с весовыми резисторами также были получены выходные напряжения соответствующие троичной системе счисления. Таким образом, все три рассмотренные ПКН могут быть использованы для устройств, использующих троичную систему счисления. Основным отличием этих ПКН от традиционных ПКН в двоичной системе счисления является применение трехпозиционных ключей, других номиналов резисторов и в 1,5 раза меньший расход оборудования. Все три варианта ПКН могут быть реализованы в микроэлектронном исполнении.

Троичная система счисления; преобразователь код-напряжение; делитель напряжения; генераторы тока; аттенюатор лестничного типа.

V.G. Galalu

CODE-TO-VOLTAGE CONVERTERS FOR THE TERNARY SUMMETRIC NUMERAL SYSTEM

The ternary scale of notation has basic arithmetic advantages in comparison with a classical binary scale of notation, it is more economic (by 1,5-2 times) and possesses big speed (less operations of shift and transfers when performing operations of addition, multiplication and division). The foundation of scale is number 3. The peculiarity of a ternary scale of notation is the usage for submission of each category of a number of three figures $\{\bar{1}, 0, 1\}$, i.e. the basic system of elements must have a memory element with three steady states. Simple rules of addition, subtraction and multiplication for a ternary scale of notation have been developed. It is obvious that the operating systems that will demand a development of corresponding ADC and DAC will become one of the first usages of the processor with a ternary numeral system. In the article three variants of creation of DAC for a ternary numeral system have been considered. Implementation of DAC on an attenuator of a ladder type with summation of equal positive and negative currents is represented to the simplest. Formulas for calculation of resistors of an attenuator have been received. The experimental check of 5-digit DAC completely confirmed the appropriateness of the received analytical expressions. At turning on of each generator of current, tension was separately formed: 1500mv, 500mv, 167mv, 58mv, 19mv, i.e. a coefficient of division 3,000 was provided with the requisite accuracy. The option of creation of DAC with summation of tension on an attenuator of ladder type was considered. The analysis confirmed that such DAC can be constructed on resistors only of 2 face values. The experimental verification of the scheme of 5-digit DAC with summation of tension at $R=2\text{kom}$ and $0,75r = 1,5\text{kom}$ completely confirmed theoretical results. At a reference tension 5,000 В output tension made: 2500 mv, 833 mv, 278mv, 93 mv, 31 mv. The scheme DAC with summation of the weighed currents on an entrance of the operational amplifier was investigated. Weight resistors for basic tension 5,000В (REF02) were calculated. At experimental check of 5-digit DAC with weight resistors output tension corresponding to a ternary numeral system was also received. Thus, all three considered DAC can be used for the devices using a ternary numeral scale. The main difference of these DAC from traditional DAC in a binary numeral scale is application of three-position keys, other face values of resistors and by 1,5 times a smaller expense of the equipment. All three options of DAC can be realized in microelectronic execution.

Ternary notation; the code-voltage converter; voltage divider; current generators; ladder attenuator.

Разработчики вычислительных устройств считают весьма перспективным использование в новых процессорах троичной системы счисления. Это объясняется тем, что эта система имеет принципиальные арифметические преимущества по сравнению с классической двоичной системой счисления, более экономична (в 1,5–2 раза) и обладает большим быстродействием (меньше операций сдвига и переносов при выполнении операций умножения и деления) [1–4]. К сожалению, до сих пор не создано простых схемных элементов с тремя устойчивыми состояниями, хотя имеются и удачные разработки [3–6].

Особенностью троичной системы счисления является использование для представления каждого разряда числа трех цифр $\{\bar{1}, 0, 1\}$. Основанием системы является число 3 в степени i ($i=0, 1, 2, \dots, n$). В общем виде n -разрядное представление целого числа N в троичной симметричной системе счисления имеет следующий вид [1, 4]:

$$N = \sum_{i=0}^{n-1} a_i 3^i, \quad (1)$$

где a_i – «троичные цифры» $\{\bar{1}, 0, 1\}$; $\bar{1}$ – для отрицательных чисел, 1 – для положительных чисел, 0 – вес не используется.

Весовые коэффициенты для троичной системы счисления равны:

$$3^0 = 1; \quad 3^1 = 3; \quad 3^2 = 9; \quad 3^3 = 27; \quad \text{и т.д.}$$

Пример записи некоторых десятичных чисел:

$$1 = 0001_3, \quad 2 = 001\bar{1}_3, \quad 3 = 0010_3, \quad 4 = 0011_3, \quad 5 = 01\bar{1}\bar{1}_3,$$

$$6 = 01\bar{1}0_3, \quad 7 = 01\bar{1}1_3, \quad 8 = 010\bar{1}_3, \quad 9 = 0100_3, \quad 10 = 0101_3$$

Одним из важных достоинств троичной системы является простота представления отрицательных чисел:

$$-1 = 000\bar{1}_3, \quad -2 = 00\bar{1}1_3, \quad -3 = 00\bar{1}0_3, \quad -7 = 0\bar{1}1\bar{1}_3,$$

т.е. коды отрицательных чисел кодируются простой инверсией единиц в коде положительного числа. Разработаны простые правила сложения, вычитания и умножения для троичной системы счисления. Следует отметить, что первая в мире ЭВМ с троичной системой счисления «Сетунь» была разработана в СССР профессором Брусенцовым Н.П. в 1958 г. и серийно выпускалась в Казани (было изготовлено 50 машин). Программисты отмечали простоту программирования для этой машины, электроники – простоту проверки и наладки блоков ЭВМ. В частности, можно отметить, что после сборки первый вариант машины заработал на 10-й день, а в целом машина «Сетунь» нормально без сбоев работала 95 часов из 100 [4, 5].

В настоящее время достаточно активно ведутся работы в области троичных ЭВМ в России, США, Израиле и Канаде. Идет активная отработка арифметических и логических устройств с троичной логикой, имеется несколько работающих троичных ЭВМ, например, российская ТСА2 [1, 5]. Особо следует отметить фундаментальные работы профессора Стахова А.П., который сейчас работает в Канаде [5, 6]. Очевидно, что одним из первых применений процессора с троичной системой счисления станут управляющие системы, что потребует разработки соответствующих АЦП и ЦАП. Меньшее количество элементов, которые необходимы для реализации процессоров и периферийных устройств гарантированно снижает потребление энергии и делает устройства с троичной логикой перспективными для портативной аппаратуры, в том числе для ноутбуков, планшетов и т.д. Кроме того, троичная логика весьма перспективна для всех энергосберегающих устройств, например, для контролеров управления солнечными панелями.

Рассмотрим возможность построения ПКН для троичной системы счисления. Запишем весовые коэффициенты для 8-разрядного ПКН в троичной системе: 1, 3, 9, 27, 81, 243, 729, 2187.

Сумма весовых коэффициентов равна 3280, что соответствует 11÷12 двоичным разрядам. Стандартными выходными напряжениями являются ± 5 В, ± 10 В и при выборе кванта в 1,524мВ или 3,048мВ можно легко получить требуемые напряжения. Отметим, что преобразователь код-напряжение является основным элементом АЦП для троичной симметричной системы счисления [7–9].

Наиболее простым представляется выполнение ПКН на аттенуаторе лестничного типа с суммированием равных токов, каждая ячейка которого должна обеспечивать деление полученного напряжения на 3 [10–22]. На рис. 1 представлена схема 5-разрядного ПКН:

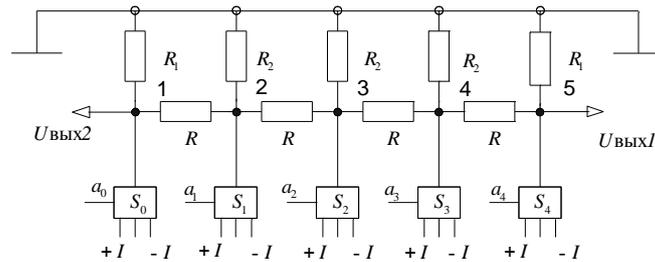


Рис. 1. Принципиальная схема 5-разрядного ПКН для троичной системы счисления с суммированием равных токов на аттенуаторе лестничного типа

Каждая цифра кода $a_1 \dots a_n$ в троичной системе счисления может принимать 3 значения: 1 – для положительных чисел (ток $+I$ подключается к аттенуатору), $\bar{1}$ – для отрицательных чисел (ток $-I$ подключается к аттенуатору), 0 – разряд не используется. Обозначим через R – резисторы связи между ячейками делителя, через R_1 – внешние резисторы (выходы 1 и 2), через R_2 – внутренние сопротивления аттенуатора.

Для заданного коэффициента деления $K=3$ были получены следующие выражения:

$$R_1 = \frac{1}{k-1} R = \frac{1}{2} R \text{ – внешние резисторы} \quad (2)$$

$$R_2 = \frac{1}{(k-1)^2} R = \frac{3}{4} R \text{ – внутренние резисторы} \quad (3)$$

$$R_{\text{экв}} = \frac{k}{k^2-1} R = \frac{3}{8} R \quad (4)$$

$R_{\text{экв}}$ – эквивалентное сопротивление нагрузки каждого генератора тока.

Тогда при поступлении кода 10000 ключ S_4 подключает генератор тока $+I$ к узловой точке 5 и формирует выходное напряжение:

$$U_{\text{вых}2} = +I * \frac{3}{8} R. \quad (5)$$

При коде 01000 ключ S_3 подключает генератор тока $+I$ к узловой точке 4 и формирует выходное напряжение:

$$U_{\text{вых}2} = +I * \frac{3}{8} R * \frac{R_1}{R_1 + R} = +I * \frac{3}{8} R * \frac{1}{3}. \quad (6)$$

Достаточно просто можно показать, что каждая ячейка обеспечивает деление напряжения на 3, а максимальное выходное напряжение определяется суммой весовых коэффициентов:

$$\pm U_{\text{вых.м}} = \pm I * \frac{3}{8} R (1 + \frac{1}{3} + \frac{1}{3^2} + \frac{1}{3^3} \dots + \frac{1}{3^{n-1}}) = \pm I \frac{3}{8} R * \frac{3}{2} = \pm \frac{9}{16} IR = 0,5625 RI. \quad (7)$$

Экспериментальная проверка 5-разрядного ПКН полностью подтвердила справедливость полученных аналитических выражений. При $R=2000$ Ом, $R_1=1000$ Ом, $R_2=1500$ Ом эквивалентная нагрузка для всех узловых точек была одинакова и составляла (750 ± 1) Ом. При токах генераторов равных $+2,0$ мА в узловой точке 5 от включения каждого генератора тока отдельно формировались следующие напряжения: 1500 мВ, 500 мВ, 167 мВ, 58 мВ, 19 мВ, т.е. в точности обеспечивается коэффициент деления 3,000. При включении всех генераторов тока одновременно выходное напряжение составляло $+ 2242$ мВ в полном соответствии с выражением (7).

Рассмотренный ПКН имеет следующие достоинства [10, 11, 12, 24]:

- ◆ аттенуатор требует всего 2 номинала резисторов (R_1 может быть получен из двух резисторов R), которые могут быть выполнены с погрешностью $\pm 1 \div 2$ %;
- ◆ высокое быстродействие (до 20MHz), при соответствующем выполнении ключей;
- ◆ простота настройки (регулируются только токи генераторов $\pm 1 \div 2$ %);
- ◆ возможность микроэлектронного исполнения.

Аналогичные результаты были получены и при работе с отрицательными генераторами тока $- 2,0$ мА. Для формирования большинства кодовых комбинаций используется совместное включение положительных и отрицательных генераторов тока, что не вызывает никаких затруднений [24–30].

В связи с тем, что в троичной системе счисления соотношение между весовыми коэффициентами равно 3,000, возможно построение ПКН с суммированием напряжений на аттенуаторе лестничного типа [17, 20, 27]. Анализ показал, что такой ПКН может быть построен на резисторах только 2-х номиналов R и $0,75R$ (рис. 2).

Если принять внутренние сопротивления источников эталонных напряжений $+E_0$ и E_0 равными $R_f=0$, то очевидно, что в узловой точке 5 реализован делитель на 3:

$$U_{\text{вых}} = U_4 \frac{0,5R}{R+0,5R} = \frac{U_4}{3}. \quad (8)$$

Аналогично, при подключении среднего резистора (точка 3) к $+E_0$, на выход поступит напряжение

$$U_{\text{вых}} = U_3 * \frac{1}{3} * \frac{1}{3}. \quad (9)$$

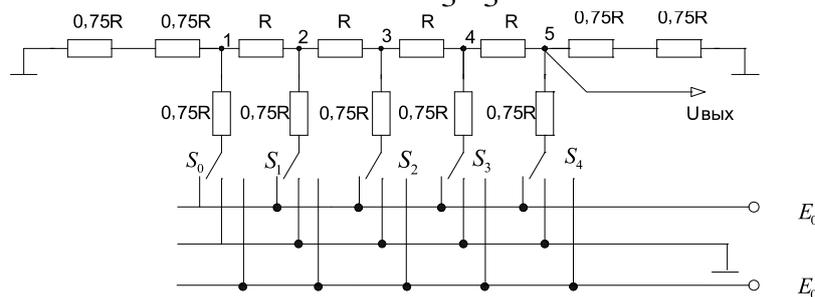


Рис. 2. Принципиальная схема 5-разрядного ПКН для троичной системы счисления с суммированием напряжений на аттенуаторе лестничного типа.

Эквивалентное сопротивление нагрузки для каждой узловой точки, как и в предыдущей схеме, равно:

$$R_{\text{экв}} = \frac{K}{K^2 - 1} R = \frac{3}{8} R. \quad (10)$$

Максимальное выходное напряжение для схемы рис. 2 составляет:

$$U_{\text{вых}} = \pm \frac{E_0 * 0,375R}{0,75R} \left(1 + \frac{1}{3} + \frac{1}{3^2} + \dots + \frac{1}{3^{n-1}}\right) = \pm \frac{3}{4} E_0. \quad (11)$$

Полученное выражение позволяет выбрать напряжение эталонного источника E_0 . Экспериментальная проверка схемы 5-разрядного ПКН с суммированием напряжений при $R = 2000 \text{ Ом}$ и $0,75R = 1500 \text{ Ом}$ полностью подтвердила теоретические результаты. При $E_0 = 5,00 \text{ В}$ выходные напряжения при раздельном включении ключей $S_0 \dots S_4$ составляли: 2500 мВ, 833 мВ, 278 мВ, 93 мВ, 31 мВ. Максимальное выходное напряжение для кода 11111₃ составило 3735 мВ. Следует отметить, что для реализации ПКН с суммированием напряжений требования к точности сопротивлений аттенюатора, точнее к отношению резисторов, существенно выше – это отношение должно выполняться с погрешностью не более 0,01 %. Кроме того, достаточно высокие требования предъявляются и к прямым сопротивлениям ключей коммутатора – они должны составлять единицы Ом [14, 21].

На рис. 3 представлена схема ПКН с суммированием взвешенных токов на входе операционного усилителя. Очевидно, что выходное напряжение инвертирующего усилителя равно [14, 20]:

$$U_{\text{вых}} = \pm E_0 * \sum_1^n a_i * p_i = \begin{cases} -E_0 * \sum_1^n a_i * p_i; \\ +E_0 * \sum_1^n a_i * p_i. \end{cases} \quad (12)$$

Максимальное выходное напряжение ПКН будет равно:

$$U_{\text{вых}} = \pm E_0 \frac{\left(1 + \frac{1}{3} + \frac{1}{9} + \dots + \frac{1}{3^n}\right)R}{R} = \pm 1,5E_0. \quad (13)$$

Как правило, источники опорного напряжения (ИОН) выпускаются на стандартные напряжения 1,25 В, 2,5 В, 5,0 В, 10 В. Допустимые токи ИОН не превышают 10 мА. Тогда при $R = 1000 \text{ Ом}$ и ИОН типа REF02 (5,000 В, 10 мА) при включении старшего разряда формируется напряжение -5 В, второго разряда – 1,667 В, третьего – 555 мВ и т.д.

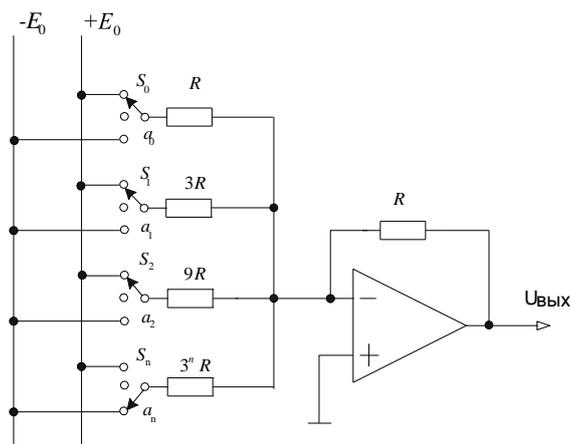


Рис. 3. Принципиальная схема 4-х разрядного ПКН для троичной системы счисления с суммированием взвешенных токов на входе операционного усилителя

Максимальное выходное напряжение в соответствии с выражением (13) составляет $\pm 1,5E_0$, в данном случае $\pm 7,5$ В. При экспериментальной проверке 5-разрядного ПКН с весовыми резисторами 1к, 3к, 9к, 27к, 81к были получены выходные напряжения 4999 мВ, 1666 мВ, 555 мВ, 185 мВ, 62 мВ, что полностью соответствует троичной системе счисления [4, 5].

Таким образом, все три рассмотренные ПКН могут быть использованы для устройств, использующих троичную систему счисления. В таблице 1 представлен примерный расход оборудования для реализации ПКН на 3280 квантов (8 троичных разрядов). Несмотря на несколько большее количество точных резисторов, схема рис. 1 с суммированием равных разнополярных токов имеет определенные преимущества по быстродействию. Это объясняется тем, что токи можно переключать на 2–3 порядка быстрее, чем напряжения [9, 10, 11, 24].

Таблица 1

Тип	Рисунок 1	Рисунок 2	Рисунок 3
Количество точных резисторов	17+16	19	9
Погрешность подгонки, %	1	0,01	0,01
Количество ключей трехпозиционных	8	8	8
Быстродействие, МГц	20	0,1	0,01

Выводы. Разработаны и проверены три варианта реализации ПКН для симметричной троичной системы счисления. Основным отличием этих ПКН от традиционных ПКН в двоичной системе счисления является применение трехпозиционных ключей, других номиналов резисторов и в 1,5 раза меньший расход оборудования.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Stakhov A.P.* The Mathematics of Harmony. From Euclid to Contemporary Mathematics and Computer Science // New Jersey, London, Singapore, Hong Kong: World Scientific. – 2009. – 748 p.
2. *Stakhov A.P.* A generalization of the Fibonacci Q -matrix // Доклады Академии наук Украины. – 1999. – № 9. – С. 46-49.
3. *Stakhov A.* The “golden” matrices and a new kind of cryptography // Chaos, Solitons & Fractals. – 2007. – Vol. 32, Issue 3. – P. 1138-1146.
4. *Stakhov A.P.* Brousentsov’s ternary principle, Bergman’s number system and ternary mirror-symmetrical arithmetic // The Computer Journal. – 2002. – Vol. 45, No. 2. – P. 222-236.
5. *Stakhov A.* Fibonacci matrices, a generalization of the “Cassini formula”, and a new coding theory // Chaos, Solitons & Fractals. – 2006. – Vol. 30, Issue 1. – P. 56-66.
6. *Стахов А.П.* Под знаком «Золотого сечения». Монография. – Винница: ТОВ «ІТІ», 2003. – 384 с.
7. *Галалу В.Г., Гордиенко Л.В.* Аналого-цифровые преобразователи для троичной симметричной системы счисления // Материалы Международной конференции СМІЭ – 2014. – Таганрог: ИТА ЮФУ, 2014. Ч. 2. – С. 17-23.
8. *Турулин И.И., Галалу В.Г.* Преобразование аналоговых измерительных сигналов: Учебное пособие. – Таганрог: Изд-во Таганрогского института им. А.П. Чехова, 2015. – 132 с.
9. *Галалу В.Г., Турулин И.И.* Помехи на входах измерительных систем. – Таганрог: Изд-во ЮФУ, 2014. – 122 с.
10. *Галалу В.Г.* Преобразователи код-напряжение для цифровых вольтметров // Известия вузов. Приборостроение. – 2011. – Т. 54, № 3. – С. 51-54.
11. *Галалу В.Г.* Преобразователи код-напряжение с суммированием взвешенных токов на аттенуаторе лестничного типа // Известия вузов. Приборостроение. – 2010. – Т. 53, № 1. – С. 54-58

12. Галалу В.Г. Оценка достижимой разрядности базовой схемы преобразователя код-напряжение // Известия вузов. Электроника. – 2010. – № 6 (86). – С. 19-24.
13. Бородянский И.М., Галалу В.Г., Хало П.В. 14-разрядный преобразователь код-ток // Приборы и техника эксперимента. – 2003. – Т. 46, № 3. – С. 81-83.
14. Бородянский И.М., Галалу В.Г., Хало П.В. Линейный преобразователь код-ток // Приборы и техника эксперимента. – 2003. – Т. 46, № 4. – С. 63-64.
15. Галалу В.Г., Хало П.В. Преобразователи постоянного тока с низким уровнем пульсаций // Приборы и техника эксперимента. – 2004. – Т.47, № 6. – С. 781-783.
16. Галалу В.Г., Хало П.В., Бородянский И.М. Модуль мощного преобразователя код-ток // Приборы и техника эксперимента. – 2005. – Т. 48, № 3. – С. 165.
17. Галалу В.Г. ПКН для троичной системы счисления // Материалы Международной научной конференции “Оптимальные методы решения научных и практических задач”. – 2004. – Ч. 3. – С. 11-16.
18. Галалу В.Г. Преобразователь код-напряжение для цифровых вольтметров // Материалы Международной научной конференции “Цифровые методы и технологии”. – 2005. – Ч. 4. – С. 20-24.
19. Галалу В.Г. ПКН для кодов Фибоначчи // Материалы научной конференции “Оптимальные методы решения научных и практических задач”. – 2005. – Ч. 3. – С. 16-20.
20. Galalu V.G. Digital analog converter for Fibonacci code // International conference Digital techniques for solving scientific and applied problems. – 2005. – Part 3. – P. 16-20.
21. Galalu V.G. DAC sums up voltages using ladder type attenuator for Fibonacci code // International conference Digital techniques for solving scientific and applied problems. – 2005. – Part 3. – P. 20-25.
22. Галалу В.Г. Преобразователи код-напряжение с суммированием токов на аттенуаторах лестничного типа. – Таганрог: Изд-во ТТИ ЮФУ, 2009. – 186 с.
23. Ратхор Т.С. Цифровые измерения. АЦП / ЦАП. – М.: Техносфера 2006. – 392 с.
24. Галалу В.Г., Дубова Ю.А. Экспериментальное исследование простых транзисторных генераторов тока // Цифровые методы и технологии. – 2006. – С. 15-24.
25. Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: параметры и функционирование, применение. – М.: Энергоатомиздат, 1990. – 320 с.
26. Быстродействующие интегральные схемы АЦП и ЦАП / Под ред. А.-Й. Марцинкявичуса, Э.-А. Багданскиса. – М.: Радио и связь, 1988. – 224 с.
27. Sasi Saketh K., Reena Monica P. Ternary logic implementation and its applications using CNTFET // Proceedings of the 2013 International Conference on Advanced Electronic Systems, ICAES 2013, art. no. 6659414. – P. 304-306.
28. Rathore T.S., Khot U.P. Voltage mode-to-current mode transformation // International Journal of Engineering and Technology. – 2012. – № 4 (5). – P. 349-363.
29. Rathore T.S. Weighted resistor current digital-to-analog converters // IETE Journal of Research. – 2005. – № 51 (4). – P. 267-272.
30. Guerber J., Venkatram H., Gande M., Waters A., Moon U.-K. A 10-b ternary SAR ADC with quantization time information utilization // IEEE Journal of Solid-State Circuits. – 2012. – № 47 (11), art. no. 6302208. – P. 2604-2613.

REFERENCES

1. Stakhov A.P. The Mathematics of Harmony. From Euclid to Contemporary Mathematics and Computer Science, New Jersey, London, Singapore, Hong Kong: World Scientific, 2009 748 p.
2. Stakhov A.P. A generalization of the Fibonacci Q-matrix, *Doklady Akademii nauk Ukrainy* [Reports of Academy of Sciences of Ukraine], 1999, No. 9, pp. 46-49.
3. Stakhov A. The “golden” matrices and a new kind of cryptography, *Chaos, Solitons & Fractals*, 2007, Vol. 32, Issue 3, pp. 1138-1146.
4. Stakhov A.P. Brousentsov’s ternary principle, Bergman’s number system and ternary mirror-symmetrical arithmetic, *The Computer Journal*, 2002, Vol. 45, No. 2, pp. 222-236.
5. Stakhov A. Fibonacci matrices, a generalization of the “Cassini formula”, and a new coding theory, *Chaos, Solitons & Fractals*, 2006, Vol. 30, Issue 1, pp. 56-66.
6. Stakhov A.P. Pod znakom «Zolotogo secheniya». Monografiya [Under the sign of the "Golden section". Monograph]. Vinnitsa: TOV «ITI», 2003, 384 p.

7. Galalu V.G., Gordienko L.V. Analogo-tsifrovye preobrazovateli dlya troichnoy simmetrichnoy sistemy schisleniya [Analog-to-digital converters for ternary symmetrical number system], *Materialy Mezhdunarodnoy konferentsii SMIE* [Proceedings of the International conference SMI – 2014], 2014. Taganrog: ITA YuFU, 2014. Part 2, pp. 17-23.
8. Turulin I.I., Galalu V.G. Preobrazovanie analogovykh izmeritel'nykh signalov: Uchebnoe posobie [Converting analog measurement signals: a tutorial]. Taganrog: Izd-vo Taganrogskegogo instituta im. A.P. Chekhova, 2015, 132 p.
9. Galalu V.G., Turulin I.I. Pomekhi na vkhodakh izmeritel'nykh system [Interference at the inputs of the measuring systems]. Taganrog: Izd-vo YuFU, 2014, 122 p.
10. Galalu V.G. Preobrazovateli kod-napryazhenie dlya tsifrovyykh vol'tmetrov [The code-to-voltage digital voltmeters], *Izvestiya vuzov. Priborostroenie* [Izvestiya vysshikh uchebnykh zavedeniy. Priborostroenie], 2011, Vol. 54, No. 3, pp. 51-54.
11. Galalu V.G. Preobrazovateli kod-napryazhenie s summirovaniem vzveshennykh tokov na atenuatore lestnichnogo tipa [The code-to-voltage with the sum of the weighted currents in the ladder-type attenuator], *Izvestiya vuzov. Priborostroenie* [Izvestiya vysshikh uchebnykh zavedeniy. Priborostroenie], 2010, Vol. 53, No. 1, pp. 54-58.
12. Galalu V.G. Otsenka dostizhimoy razryadnosti bazovoy skhemy preobrazovatelya kod-napryazhenie [Assessment of achievable capacity of the base code Converter circuit-voltage], *Izvestiya vuzov. Elektronika* [Izvestiya vysshikh uchebnykh zavedeniy. Electronics], 2010, No. 6 (86), pp. 19-24.
13. Borodyanskiy I.M., Galalu V.G., Khalo P.V. 14-razryadnyy preobrazovatel' kod-tok [14-bit Converter code-current], *Pribory i tekhnika eksperimenta* [Instruments and Experimental Techniques], 2003, Vol. 46, No. 3, pp. 81-83.
14. Borodyanskiy I.M., Galalu V.G., Khalo P.V. Lineynyy preobrazovatel' kod-tok [Linear code Converter-current], *Pribory i tekhnika eksperimenta* [Instruments and Experimental Techniques], 2003, Vol. 46, No. 4, pp. 63-64.
15. Galalu V.G., Khalo P.V. Preobrazovateli postoyannogo toka s nizkim urovnem pul'satsiy [DC-DC Converter with low ripple], *Pribory i tekhnika eksperimenta* [Instruments and Experimental Techniques], 2004, Vol.47, No. 6, pp. 781-783.
16. Galalu V.G., Khalo P.V., Borodyanskiy I.M. Modul' moshchnogo preobrazovatelya kod-tok [Module powerful Converter code-current], *Pribory i tekhnika eksperimenta* [Instruments and Experimental Techniques], 2005, Vol. 48, No. 3, pp. 165.
17. Galalu V.G. PKN dlya troichnoy sistemy schisleniya [APF for ternary number system], *Materialy Mezhdunarodnoy nauchnoy konferentsii "Optimal'nye metody resheniya nauchnykh i prakticheskikh zadach"* [Proceedings of the International scientific conference "Optimal methods for solving scientific and practical problems"], 2004, Part 3, pp. 11-16.
18. Galalu V.G. Preobrazovatel' kod-napryazhenie dlya tsifrovyykh vol'tmetrov [The code Converter-voltage digital voltmeters], *Materialy Mezhdunarodnoy nauchnoy konferentsii "Tsifrovye metody i tekhnologii"* [Proceedings of the International scientific conference "Digital methods and technologies"], 2005, Part 4, pp. 20-24.
19. Galalu V.G. PKN dlya kodov Fibonachchi [SDH codes for Fibonacci], *Materialy nauchnoy konferentsii "Optimal'nye metody resheniya nauchnykh i prakticheskikh zadach"* [Materials of scientific conference "Optimal methods for solving scientific and practical problems"], 2005, Part 3, pp. 16-20.
20. Galalu V.G. Digital analog converter for Fibonacci code, *International conference Digital techniques for solving scientific and applied problems*, 2005, Part 3, pp. 16-20.
21. Galalu V.G. DAC sums up voltages using ladder type attenuator for Fibonacci code, *International conference Digital techniques for solving scientific and applied problems*, 2005, Part 3, pp. 20-25.
22. Galalu V.G. Preobrazovateli kod-napryazhenie s summirovaniem tokov na atenuatorakh lestnichnogo tipa [The code-to-voltage summing currents at the ladder-type attenuators]. Taganrog: Izd-vo TTI YuFU, 2009, 186 p.
23. Ratkhor T.S. Tsifrovye izmereniya. ATsP / TsAP [Digital measurement. ADC / DAC]. Moscow: Tekhnosfera 2006, 392 p.
24. Galalu V.G., Dubova Yu.A. Eksperimental'noe issledovanie prostykh tranzistornykh generatorov toka [Experimental study of a simple transistor current generators], *Tsifrovye metody i tekhnologii* [Digital Methods and Technologies], 2006, pp. 15-24.

25. Fedorkov B.G., Telets V.A. Mikroskhemy TsAP i ATsP: parametry i funktsionirovanie, primeneniye [Chip DAC and ADC: settings and operation, application]. Moscow: Energoatomizdat, 1990, 320 p.
26. Bystrodeystvuyushchie integral'nye skhemy ATsP i TsAP [High-speed integrated circuits ADC and DAC], Under ed. A.-Y. Martsinkyavichusa, E.-A. Bagdanskisa. Moscow: Radio i svyaz', 1988, 224 p.
27. Sasi Saketh K., Reena Monica P. Ternary logic implementation and its applications using CNTFET, *Proceedings of the 2013 International Conference on Advanced Electronic Systems, ICAES 2013*, art. no. 6659414, pp. 304-306.
28. Rathore T.S., Khot U.P. Voltage mode-to-current mode transformation, *International Journal of Engineering and Technology*, 2012, No. 4 (5), pp. 349-363.
29. Rathore T.S. Weighted resistor current digital-to-analog converters, *IETE Journal of Research*, 2005, No. 51 (4), pp. 267-272.
30. Guerber J., Venkatram H., Gande M., Waters A., Moon U.-K. A 10-b ternary SAR ADC with quantization time information utilization, *IEEE Journal of Solid-State Circuits*, 2012, No. 47 (11), art. no. 6302208, pp. 2604-2613.

Статью рекомендовал к опубликованию д.т.н., профессор И.И. Турулин.

Галалу Валентин Гаврилович – Южный федеральный университет; e-mail: v.galalu@mail.ru; 347900, г. Таганрог, ул. Розы Люксембург, 44, кв. 104; тел.: 88634613526; кафедра информационных измерительных технологий и систем; к.т.н.; доцент.

Galalu Valentin Gavrilovich – Southern Federal University; e-mail: v.galalu@mail.ru; 44, R. Luxemburg str. sq. 104, Taganrog, 347900, Russia; phone: +78634613526; the department of information measuring technologies and systems; cand. of eng. sc.; associate professor.

УДК 004.4:004.9

С.А. Кучеров

КОНЦЕПТУАЛЬНАЯ МОДЕЛЬ ХРАНИЛИЩА КОНФИГУРИРУЕМОЙ ИНФОРМАЦИОННОЙ СИСТЕМЫ НА ОСНОВЕ NOSQL-ТЕХНОЛОГИЙ*

Хранение данных в конфигурируемых (обладающих возможностью настройки) информационных системах сегодня производится путем введения избыточности, как в структуру хранилища, так и в логику взаимодействия информационной системы и хранилища. Избыточность порождает множество трудностей – от потери производительности за счет накладных расходов до снижения отказоустойчивости системы в целом. Причины введения избыточности кроются в разнородных способах представления частей системы и отсутствии единой целостной модели. Устранение избыточности может быть достигнуто при использовании единой абстракции, близкой к терминам предметной области. Информационная система по своей сути есть не что иное, как отражение действий пользователя с помощью компьютерных технологий. Соответственно, модель информационной системы есть совокупность сложно связанных действий. А процесс ее создания – реализация свойств пользовательских действий с помощью компьютерных технологий. Аналогично модели информационной системы, отражение работы пользователя с системой так же есть последовательность совершенных действий. Основой создания конфигурируемых информационных систем и хранилищ данных для них является применение единой формы представления – базовой абстракции. Базовая абстракция предполагает описание информационной системы как деятельности пользователя, а не как отдельных

* Исследование выполнено при финансовой поддержке государственного задания 0110021005901621. Тема № 213.01-11/2014-17.