

# Троичная цифровая техника. Ретроспектива и современность

Интерес к троичной логике и арифметике возник задолго до появления первых компьютеров в связи с замечательными свойствами симметричного кода чисел. В последнее время этот интерес возрождается во многом благодаря новым возможностям полупроводниковой технологии. Следствием этого будет вероятно появление дешевых интегральных элементов с тремя состояниями. Помимо этого проводятся теоритические исследования, затрагивающие так или иначе трёхуровневую технику. Ожидается, что их результаты найдут своё оригинальное практическое применение.

Несмотря на то, что Советский Союз является первым в построении троичного компьютера ("Сетунь", 1961 г.), аналогичные работы проводились и за рубежом. До начала 70-х годов прошлого века почти каждый международный симпозиум по многозначной логике затрагивал эту тему. Этот период, как известно, является началом разработки, а в дальнейшем и производства микропроцессоров в промышленных масштабах. Академические исследования соответственно переключились в эту сторону, и трёхуровневые устройства были переведены в разряд безперспективных.

Как отмечает создатель уникального троичного компьютера Н.П. Брусенцов, главное преимущество троичного представления чисел перед принятым в современных компьютерах двоичным состоит не в иллюзорной экономичности троичного кода [1]. В данном случае речь идет об утверждении высказанном и доказанном в свое время одним из основателей информатики Джоном фон Нейманом (John von Neumann).

Это теорема о представлении некоторого числа  $n$  минимальным набором символов в определенной системе счисления [2]. Её основанием является число  $e = 2,718281828\dots$ , основание натуральных логарифмов. С математической точки зрения доказательство сводится к поиску экстремума функции  $f(x) = x^{\frac{n}{x}}$ . На рис. 1 приведен график этой функции для  $n = 8$ .

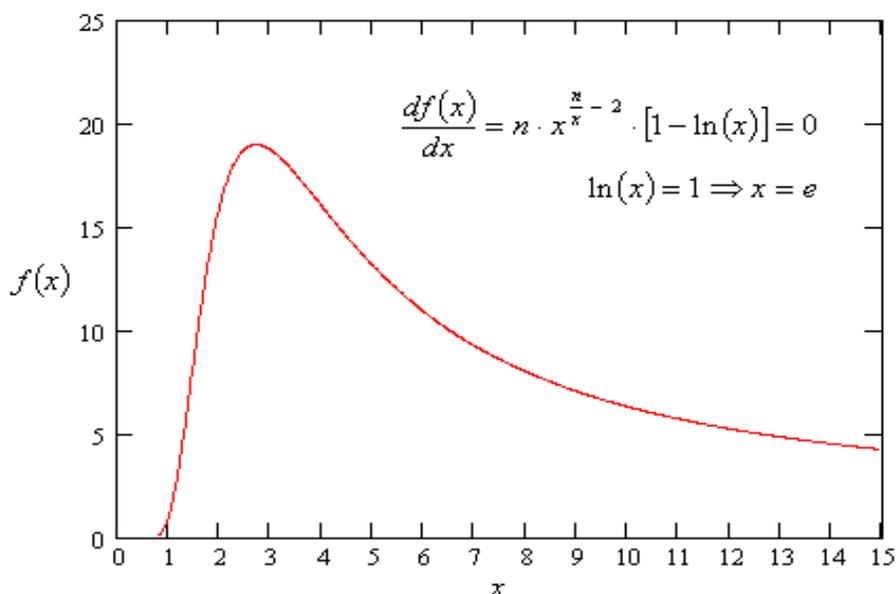


Рис. 1 Функция, характеризующая компактность систем счисления по основанию  $x$

На практике это утверждение воспринимается как интересный факт и используется для оценки "идеальности" системы счисления. Если рассматривать представление чисел только в этом аспекте, то действительно 3 находится ближе к  $e$  чем 2. Это, тем не менее, не является тем решающим критерием, по которому использование *троичной сбалансированной* (уравновешанной, симметричной) системы счисления более удобно в реальных условиях. Для того чтобы понять в чем удобство упомянутого представления нужно сравнить его с традиционным двоичным. Далее приводятся основные характеристики, определяющие практическую ценность троичного кода и трехзначной логики.

- имеет место естественное представление чисел со знаком, т.е. не нужно пользоваться искусственными приемами типа прямого, обратного или дополнительного кода
- знак числа определяется знаком старшей ненулевой цифры и не нужно использовать специальный знаковый бит, как в двоичной системе
- просто производится сравнение чисел по величине, при этом не нужно обращать внимание на знак числа
- в соответствии с этим команда ветвления по знаку в троичной машине занимает в два раза меньше времени, чем в двоичной
- усечение длины числа равносильно правильному округлению; способы округления, используемые в двоичных машинах, не обеспечивают этого
- троичный сумматор осуществляет вычитание при инвертировании одного из слагаемых, откуда следует, что троичный счетчик автоматически является реверсивным
- в трехходовом троичном сумматоре перенос в следующий разряд возникает в 8 ситуациях из 27, а в двоичном сумматоре - в 4 из 8. В четырехходовом сумматоре перенос также происходит только в соседний разряд.
- таблицы умножения и деления почти так же просты, как и в двоичной системе, умножение на -1 инвертирует множимое
- трехуровневый сигнал более устойчив к воздействию помех в линиях передачи. Это означает что специальные методы избыточного кодирования троичной информации проще, нежели двоичной

В общем случае троичная логика ещё не означает троичную же систему счисления. Она лишь определяет количество уровней для каждого разряда представления. В качестве примера приведем псевдотроичную (pseudoternary) систему счисления [3], в которой неотрицательные целые числа  $I_0 = \lambda_0 \cdot 2^0 + \lambda_1 \cdot 2^1 + \lambda_2 \cdot 2^2 + \dots + \lambda_k \cdot 2^k + \dots$  раскладываются по степеням двойки, но записываются в виде последовательности цифр  $\lambda = 0, 1, 2$ ,  $\lambda_k = I_k - 2 \cdot I_{k+1}$ . На рис. 2 показано как перебирая чётные и нечётные числа получить псевдотроичный код.

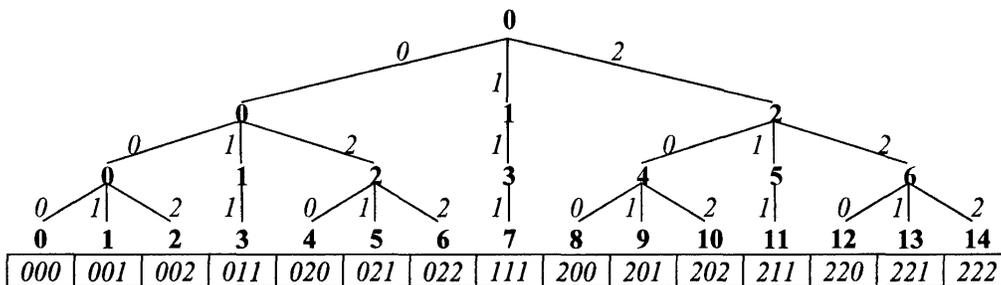


Рис. 2 Псевдотроичная система счисления неотрицательных целых чисел

В зависимости от чётности/нечётности числа  $I_k$  имеют места следующие выражения:  $I_{k+1} = 2 \cdot [I_k/4]$  и  $I_{k+1} = [I_k/2]$  соответственно. Квадратные скобки обозначают целую часть. Однозначность псевдотроичного представления чисел достигается тем, что допускаются не все сочетания цифр. Чётные числа описываются чередованием 0 и 2, а нечётные - чередованием 0 и 2 с заключительной последовательностью из одних 1.

Полностью "**совместимой**" с уравновешенной троичной системой счисления является разработанная не так давно система счисления с иррациональным основанием. Она была предложена профессором А. П. Стаховым как продолжение развития Фибоначчиевого направления [4,5]. Если  $\varphi = \frac{1+\sqrt{5}}{2}$  - золотое сечение, то  $q = \frac{3+\sqrt{5}}{2} = \varphi^2 = 2,618033\dots$  является основанием предложенной троичной зеркально симметричной системы счисления. Основные преимущества машинной арифметики, базирующейся на этом числе следующие.

- Представление *некоторых* иррациональных чисел в виде конечной совокупности троичных разрядов (тригов).
- Зеркально-симметричное отображение левой и правой части в записи целых чисел
- Использование указанного выше свойства для контроля всех арифметических действий и коррекции ошибок

Операция сложения в данной системе счисления имеет одно интересное свойство, автор называет его "*качели*". Суть его такова: процесс формирования переноса оказывается периодически повторяющимся для сложения, начиная с некоторого шага и, следовательно, оно становится бесконечным. Явление "качелей" является разновидностью "гонок", возникающих в цифровых автоматах, когда элементы начинают переключаться. В работах [4,5] автор предлагает эффективный "технический" метод чтобы устранить это явление. Отметим, что предложенный в этих же работах троичный триггер является упрощенным вариантом триггера, который был запатентован ранее [6].

Можно также высказать предположение, что подобными свойствами обладают Фибоначчи-подобные последовательности более высокого порядка. В частности интересно рассмотреть характеристические уравнения чётной степени ещё *разрешимые в радикалах*. Вероятно основанием новой системы счисления может служить наибольший из действительных корней такого уравнения, возведённый в соответствующую степень.

Обобщение предложенной системы счисления на так называемое число Трибоначчи и другие иррациональные основания можно найти в публикации [7]. Заметим, что последовательность Трибоначчи формируется рядом, каждый член которого, начиная с третьего, равен сумме трех предыдущих: 1, 1, 2, 4, 7, 13, 24, 44, 81, 149, ... Соответственно число

Трибоначчи определяется как отношение двух соседних членов этого ряда  $\psi = \frac{\delta_{n+1}}{\delta_n} \Big|_{n \rightarrow +\infty}$  и равняется действительному корню кубического уравнения:  $x^3 - x^2 - x - 1 = 0$ ,  $x = 1,83929\dots$

По всей видимости, дальнейший поиск оригинальных систем счисления нужно производить, опираясь на работы Рамануджана. Будучи виртуозным математиком, он прославился, в том числе, своими работами в области циклических дробей (continued fractions) и радикалов [8]. Чтобы проиллюстрировать перспективность дальнейших исследований приведем пример трёх его замечательных тождеств в области почти целых чисел [9].

$$2 \approx e^{\frac{2\pi}{5}} (\sqrt{\varphi+2} - \varphi) + \frac{1}{e^{\frac{2\pi}{5}} (\sqrt{\varphi+2} - \varphi)} ; \quad \varphi^6 \approx \frac{e^{\pi\sqrt{5}} + 24}{2^6} ; \quad \varphi^{12} \approx \frac{e^{\pi\sqrt{10}} - 24}{2^6}$$

Заметим, что эти приближения являются трансцендентными, что дает основания сделать следующее предположение. Возможно, существует такая позиционная система счисления, в которой целые, а также некоторые иррациональные и трансцендентные числа могут представляться конечным количеством разрядов. На практике важно, чтобы эта система счисления могла легко и максимально точно представлять такие функции как  $\sin(x)$ ,  $\cos(x)$  при ограниченных ресурсах.

Аппаратную реализацию элементов трехзначной логики можно рассматривать по сути с двух позиций. Первая – моделирование троичных функций с помощью кодирования в двоичном виде (binary coded ternary, ВСТ representation). В этом представлении существует несколько вариантов кодировки, но в любом случае на два бита приходится один трит и ещё один уровень остается неопределенным. Его можно использовать для обозначения разделительной запятой в числах или индикации высокоимпедансного состояния на выходе. Двоичное моделирование обусловлено отсутствием доступных трехуровневых элементов и использованием вместо них стандартных бинарных. Общий подход к синтезу ВСТ схем рассмотрен в работах [10,11] и состоит в следующем. Составляется таблица истинности для трехзначной функции в соответствии с выбранной кодировкой. На основе этой таблицы для каждого выходного разряда составляются карты Карно (Karnaugh maps) для минимизации моделирующей функции. По результатам минимизации производится синтез бинарных схем. В качестве примера приведем схему двухразрядного ВСТ сумматора [12]. Выбранная кодировка представлена в таблице 1.

Отметим, что выбор разрядности ВСТ устройств целесообразно производить ориентируясь на разрядность двоичной памяти: 8, 16, 32 бита. Это связано с тем, что она входит в состав практически любого современного цифрового устройства в качестве относительно дешевых микросхем. Наиболее рационально использовать разрядность 16 бит, исходя из параметра, который характеризует сокращение разрядной ёмкости:  $\eta = \frac{3^8}{2^{16}} \approx 0,1$ . Очевидно, что этот параметр является крупным недостатком данного представления, и ограничивает увеличение разрядности ВСТ устройств. Отметим также, что 8 кодированных трит эквивалентны 12,67 бит. Этого вполне достаточно для таких применений как обработка звука [13,14].

Таблица 1

3-bit binary	000	001	010	011	100	101	110	111
Decimal	0	1	2	3	4	5	6	7
2-digit ternary	00	01	02	10	11	12	20	21
ВСТ	0000	0001	0010	0100	0101	0110	1000	1001

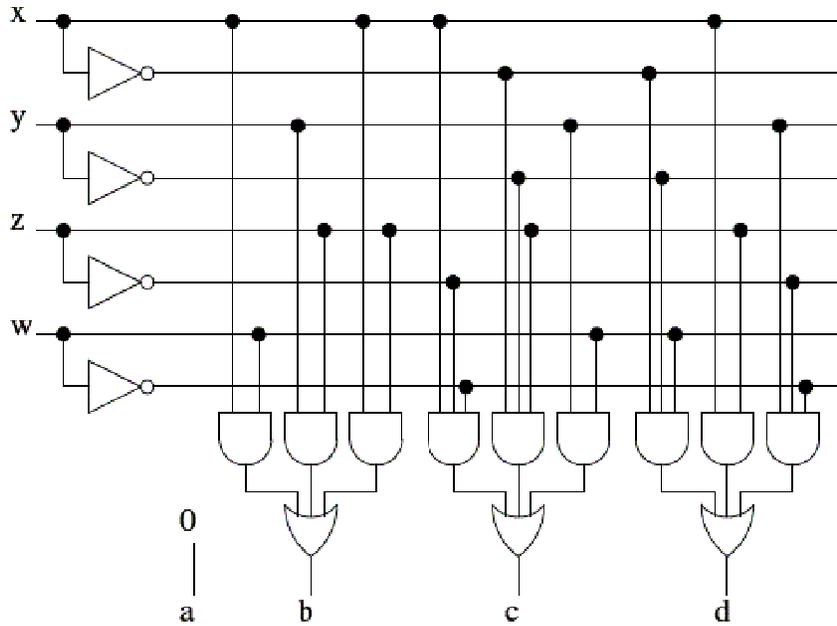


Рис. 3. Двухразрядный ВСТ сумматор

Второй подход к реализации трехуровневых устройств заключается в использовании управляемых электронных ключей при симметричном питании. Схема, показанная на рис. 4 может работать как повторитель или же как инвертор трехуровневого сигнала. Условие её функционирования очевидно: в определённом логическом состоянии замкнут только один ключ при разомкнутых остальных. Допустим это пара ключей  $S(1)$  и  $S(-1)$ , которые представляют из себя биполярные транзисторы. В результате получим наглядную схему повторителя на основе двухтактного каскада (рис.5).

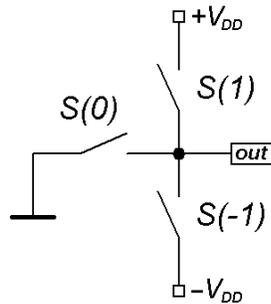


Рис. 4. Простейшая трёхуровневая схема с использованием управляемых ключей

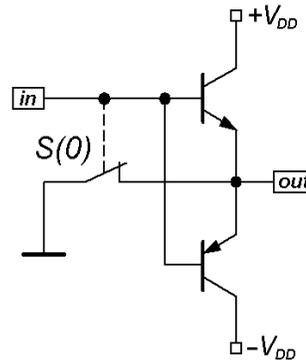


Рис. 5. Комбинированная схема троичного повторителя на биполярных транзисторах

Исходя из условия функционирования ключ  $S(0)$  должен быть нормально замкнут. Таким качеством обладают полевые транзисторы со встроенным каналом. Как известно полупроводниковая КМОП технология является на сегодня наиболее развитой. Поэтому в качестве ключей выберем полевые транзисторы с изолированным затвором. Для построения схемы троичного инвертора необходимо определить пороги открывания транзисторов. С учетом возможных помех зададим интервал  $\pm 0,5 \cdot V_{DD}$  для уровня лог. "0". Инвертировать необходимо только уровни "1" и "-1". Схема для такой инверсии показана на рис. 6 и состоит из двух нормально закрытых МОП-транзисторов с порогами открывания  $V_{EM} = \pm 1,5 \cdot V_{DD}$ . Заметим, что

эта схема повторяет внутреннее устройство обычного бинарного КМОП инвертора без входных защитных цепей [15]. Однако пороговые напряжения транзисторов, входящих в его состав, слишком низкие. Это означает наличие очень узкого интервала неопределённости логического состояния. В большинстве случаев соединение входа инвертора с землёй (половиной  $V_{DD}$ ) приоткрывает оба транзистора и через них начинает течь сквозной ток. Его величину задает транзистор с меньшим значением крутизны  $g = \frac{\partial I_D}{\partial V_{GS}}$ .

Таким образом инвертор находится в активном режиме, а потребляемый им ток может достигать нескольких миллиампер. Даже если учесть, что вероятность перехода в состояние "0" составляет 1/3, использование обычного инвертора в данном случае неприемлемо. Кроме этого стандартные цифровые КМОП микросхемы не содержат нормально открытых полевых транзисторов. Они необходимы, как было сказано, для реализации ключа S(0). Переход из лог."0" возможен в сторону либо "1" либо "-1". Таким образом для выполнения условия функционирования требуется взять два нормально открытых МОП-транзистора [16-19] с пороговыми напряжениями  $V_{DM} = \pm 0,5 \cdot V_{DD}$ . Полученная схема троичного инвертора показана на рис.7. На её основе легко построить базовые троичные логические элементы И-НЕ, ИЛИ-НЕ. Это можно сделать используя последовательно-параллельное соединение рассмотренных транзисторных каскадов [17] или же аналогично внутреннему устройству бинарных КМОП-элементов [18,19]. Отметим, что в любом случае число транзисторов в полученных троичных схемах одинаково и равно восьми. Уменьшить его можно если просто передавать результирующий трёхуровневый сигнал на выход логического элемента [20,21]. Здесь и далее подложка транзистора с  $n$ -каналом соединена с положительным выводом источника питания, а транзистора с  $p$ -каналом с отрицательным. Таким образом напряжение обратной полярности поступает на управляющий  $p$ - $n$  переход подложка-канал. Он при этом представляет собой закрытый диод и не оказывает влияния на работу схемы.

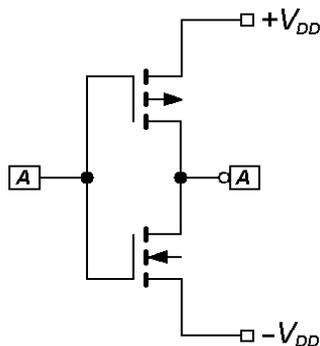


Рис. 6. Упрощенная схема стандартного двоичного КМОП инвертора

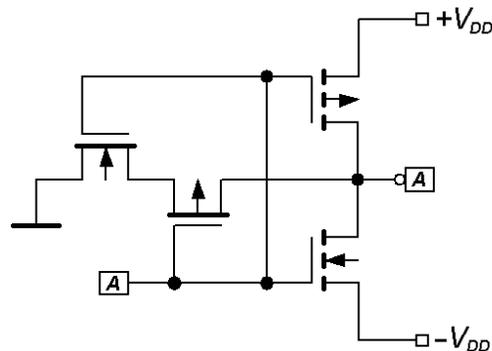


Рис. 7. Троичный инвертер с использованием нормально открытых МОП-транзисторов

В последнее время для построения цифровых устройств широко применяются микросхемы программируемой логики (ПЛИС). Они состоят из набора типовых универсальных узлов, функции которых определяются наличием соответствующих соединений. Как известно характерным многофункциональным узлом бинарной логики является мультиплексор [22]. Тоже самое можно сказать и про троичную логику. Поэтому повышенный интерес вызывает разработанный [18,19] троичный мультиплексор-демультиплексор (рис. 8). Отметим, что он не содержит нормально открытых МОП-транзисторов вообще. Кроме этого большинство нормально закрытых его транзисторов, имеют низкое пороговое напряжение  $V_{DM} = \pm 0,5 \cdot V_{DD}$ . Транзисторы пороговые напряжения которых  $V_{EM} = \pm 1,5 \cdot V_{DD}$  обозначены звездочкой.

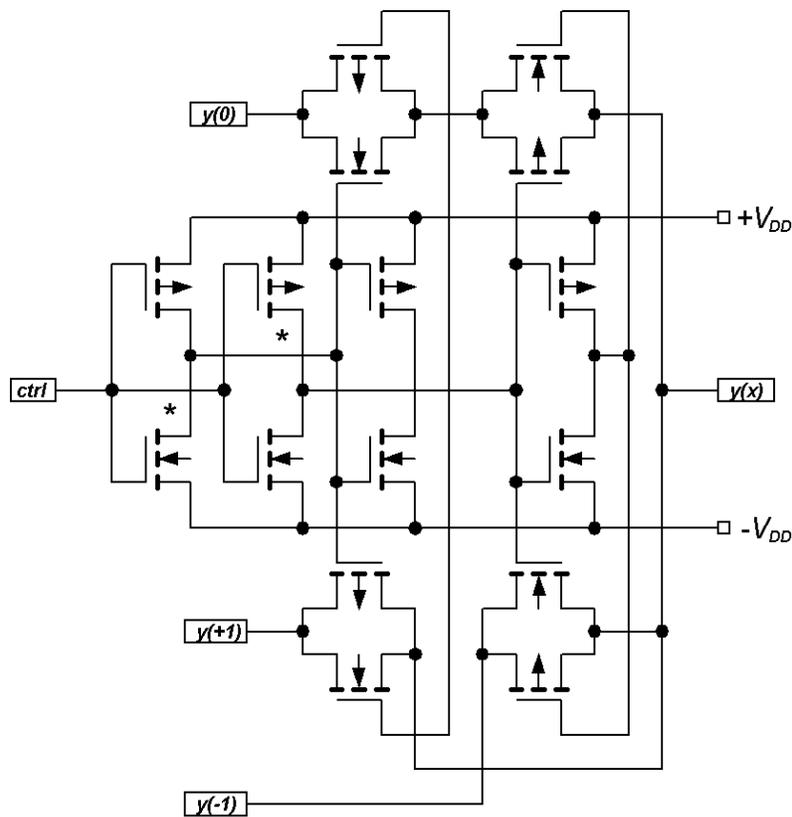


Рис. 8. Троичный мультиплексор-демультиплексор  $3 \leftrightarrow 1$

Обязательными для построения большинства цифровых устройств являются последовательные схемы. В их составе особое место занимают всевозможные триггеры. Они различаются между собой по выполняемым функциям и способам управления. В общем случае триггер можно рассматривать как устройство содержащее запоминающий элемент и комбинационную схему управления. Троичный триггер также как и двоичный можно реализовать на соответствующих элементах И-НЕ (ИЛИ-НЕ), с положительными обратными связями. Рассмотрим простейший статический триггер (рис.9) на двух перекрестно соединенных трехуровневых инверторах. В режиме записи смена состояния этого триггера может сопровождаться многократным переключением (дребезгом) в околопороговой области. Это происходит если выходное сопротивление источника записываемого сигнала соизмеримо со входным сопротивлением триггера. Буферный усилитель на выходе упомянутого источника позволяет решить эту проблему [18,19].

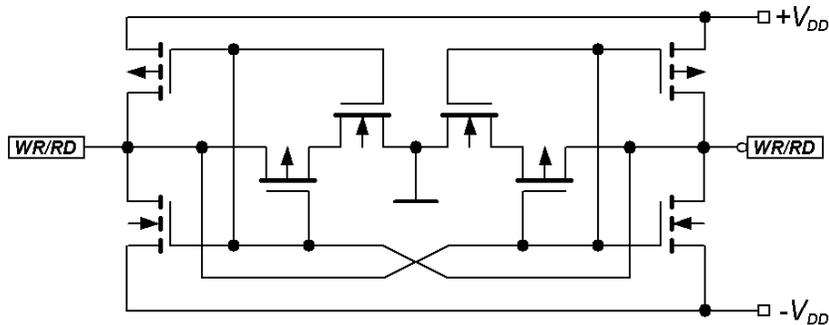


Рис. 9. Троичный статический триггер

Очень перспективными в качестве элементной базы троичной логики являются *полупроводниковые* негатроны. Это название присвоено большой группе приборов, имеющих в определенном режиме отрицательное значение дифференциального сопротивления или проводимости. В соответствии с этим вольт-амперная характеристика (ВАХ) негатрона похожа на букву N или S. Перечислим наиболее известные *однокристальные* полупроводниковые негатроны, которые широко применяются на практике. Лавинный (avalanche) транзистор обладает двумя типами ВАХ в зависимости от схемы включения. Туннельный диод и некоторые другие СВЧ диоды имеют вольт-амперную характеристику N-типа. Четырехслойные *p-n-p-n* структуры (динисторы) и их модификации, а также однопереходные (unijunction) транзисторы обладают S-образной ВАХ. Наиболее быстродействующие среди этих приборов туннельный и другие СВЧ диоды, а также лавинный транзистор.

Диод на эффекте туннелирования электронов через потенциальный барьер был открыт в 1958 году японским физиком Лео Эсаки (Leo Esaki). Вскоре после этого новый прибор стал называться диод Эсаки или межзонный туннельный (interband tunnel) диод. Он обладает способностью работать в области сверхвысоких частот (1÷10 ГГц), низким уровнем собственных шумов (2÷3 дБ), радиационной и температурной стойкостью параметров, малым потреблением энергии и простотой в изготовлении. Основными недостатками туннельных диодов являются малая выходная мощность и отсутствие "внутренней" развязки между входом и выходом, что часто затрудняет их применение. Первые туннельные диоды изготавливались из сплавов германий-индий (GeIn) или кремний-алюминий (SiAl). Позже стали использовать соединения арсенид галлия (GaAs), антимонид галлия (GaSb) и др. Выбор материала определяется назначением, областью применения и условиями работы диода. Более низким собственным уровнем шумов для работы в области СВЧ обладают GaSb туннельные диоды. Этот параметр хуже у GaAs диодов, однако по сравнению с другими типами туннельных диодов они более мощные. Несмотря на то, что дву-, трех-, и многостабильные схемы на туннельных диодах [23-26] были предложены в 1960-х годах, они не нашли должного применения. Это связано с тем, что до последнего времени технология изготовления туннельных диодов не позволяла интегрировать их в микросхемы.

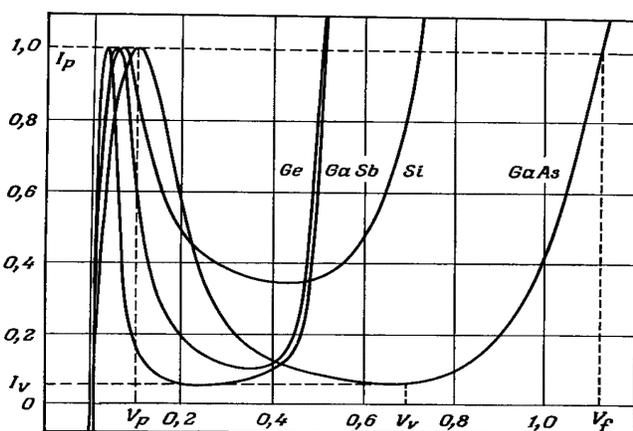


Рис. 10. Нормированные вольт-амперные характеристики туннельных диодов из разных материалов

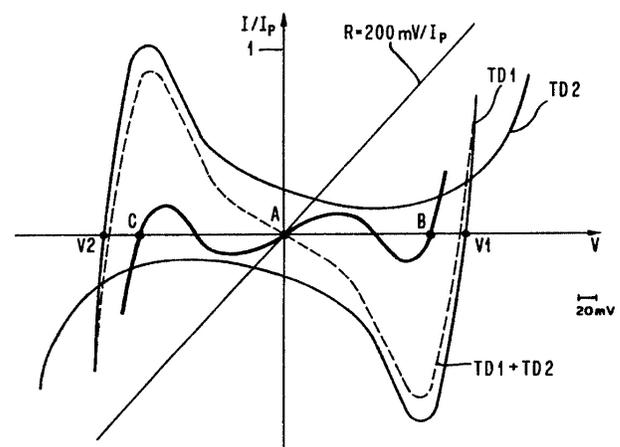


Рис. 11. Совмещение вольт-амперных характеристик туннельных диодов для получения трёх устойчивых состояний

Резонансно-туннельный, вернее туннелирующий (resonant tunneling) диод, был создан группой исследователей во главе с Лео Эсаки в 1974 году. Этот прибор использует эффект туннелирования электронов через потенциальную яму (potential well). Она образуется в полупроводнике при помощи двух областей с широкой запрещённой зоной, через которые возможно эффективное туннелирование. Согласно квантовой теории потенциальная энергия электронов внутри ямы может принимать лишь определенные дискретные значения. Для протекания тока необходимо, чтобы энергия электронов снаружи ямы попадала в эти квантованные значения. Такое явление называется энергетическим резонансом. Он возникает при некотором напряжении на диоде, ток через который при этом наибольший. Для очень узких квантовых ям энергетические уровни далеки друг от друга и работа прибора определяется только одним из них. Теоритически может быть несколько энергетических резонансов, т.е. один диод может иметь несколько дискретных состояний. Высокая плотность тока и ничтожно малая собственная емкость обеспечивают время переключения прибора порядка  $0,1 \div 1$  пс. Если к центральной области резонансного диода подвести контакт, через который можно управлять положением дискретного уровня, получится новый прибор – транзистор. Физически они реализованы на основе различных арсенидов. Несмотря на некоторые технологические трудности, упомянутые транзисторы могут быть использованы для построения устройств троичной логики [27]. В цифровых схемах резонансно-туннельные диоды (RTD) используются совместно с МОП-транзисторами. Последние выполняют функции нелинейной нагрузки, входных формирователей тока или формирователей тактовых импульсов. Отметим, что структуры RTD на основе арсенидов и кремниевых МОП-транзисторов различны и их нельзя наносить в едином технологическом цикле. Группе исследователей, во главе с профессором Паулем Бергером (Paul R. Berger), удалось создать резонансно-межзонные туннельные диоды (RITD) со структурой Si-SiGe. Формировать их можно, по утверждению разработчиков, на последних стадиях технологического КМОП-процесса. Последовательное соединение двух RITD при прямом смещении показывает возможность создания интегральной схемы троичной логики [28]. Бурное развитие нанотехнологии в последнее время обещает появление новых многоуровневых устройств.

Рассмотрим второй интересующий нас однокристалльный негатрон - лавинный транзистор. В основе его работы лежит эффект ударной ионизации атомов полупроводника в  $p-n$  переходе. При увеличении обратного напряжения на нем до значения близкого к пробивному энергия носителей заряда (электронов и дырок) резко возрастает. Она оказывается достаточной для ионизации встретившихся на пути атомов, при этом образуются вторичные электронно-дырочные пары. Это означает увеличение концентрации носителей заряда и тока через  $p-n$  переход. Процесс ударной ионизации при определённых условиях приобретает стремительный характер и происходит лавинной пробой. Этот пробой может привести к повреждению транзистора, поэтому он работает в предпробойной области. Лавинные транзисторы обладают рядом существенных преимуществ: высоким быстродействием в широком диапазоне рабочих напряжений и токов, лёгкостью управления формой ВАХ, повышенной радиационной стойкостью. Недостатки лавинных транзисторов это большие собственные шумы, низкая температурная стабильность, значительный разброс и недостаточно высокая воспроизводимость характеристик. Как упоминалось выше лавинный транзистор в зависимости от схемы включения имеет разные типы вольт-амперной характеристики. Чтобы получить *выходную* вольт-амперную характеристику S-типа база и эмиттер лавинного транзистора соединяются через сопротивление. Оно подобрано так, что при малых токах его значение во много раз меньше сопротивления эмиттерного перехода. Лавинный транзистор, включенный по схеме с общим эмиттером имеет *входную* N-образную ВАХ. До настоящего времени предлагалось использовать лавинные транзисторы только в схемах быстрой двоичной памяти [29-31].

Большой интерес для создания трёхуровневых устройств представляют схмотехнические аналоги полупроводниковых однокристалльных негатронов. Они построены на транзисторах и делятся также на две группы по виду вольт-амперной характеристики. Среди аналогов обладающих N-образной ВАХ наиболее известен лямбда-диод, состоящий из двух полевых транзисторов. Его схема в оригинале [32] содержит *n*-канальный и *p*-канальный полевые транзисторы с управляющим переходом. Как известно, при напряжении  $U_{GS} = \pm 0,7 \text{ V}$  этот *p-n* переход открывается и транзистор перестаёт работать. По этой причине, а также потому что КМОП-технология доминирует в настоящее время, более практично использовать в схеме (рис. 12) два нормально открытых полевых транзистора с изолированным затвором. Если на один из них подавать управляющее напряжение, то получим возможность задавать ВАХ лямбда-диода.

Таким образом имеется два варианта лямбда-транзистора (рис. 13, 14), назовём их NLT и PLT. Выходные вольт-амперные характеристики этих приборов приведены на рис. 15, 16 соответственно. Заметим, что в соответствии со своей ВАХ транзистор PLT является ограничителем тока. С использованием таких лямбда-транзисторов можно построить бинарные логические элементы. В их число входят повторитель, инвертор, двухвходовые элементы "И", "ИЛИ", а также RS- и D-триггер [33,34]. Если использовать идею управляемых ключей при симметричном питании совместно с предложенными схемами, то можно построить трёхуровневые логические элементы.

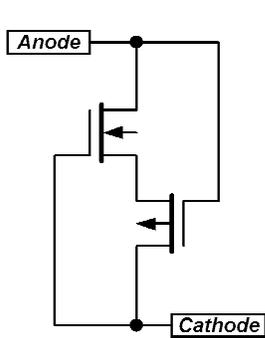


Рис. 12. Лямбда-диод

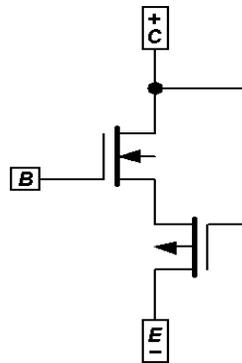


Рис. 13. Лямбда-транзистор NLT

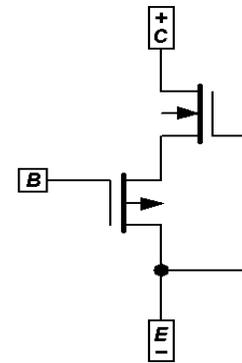


Рис. 14. Лямбда-транзистор PLT

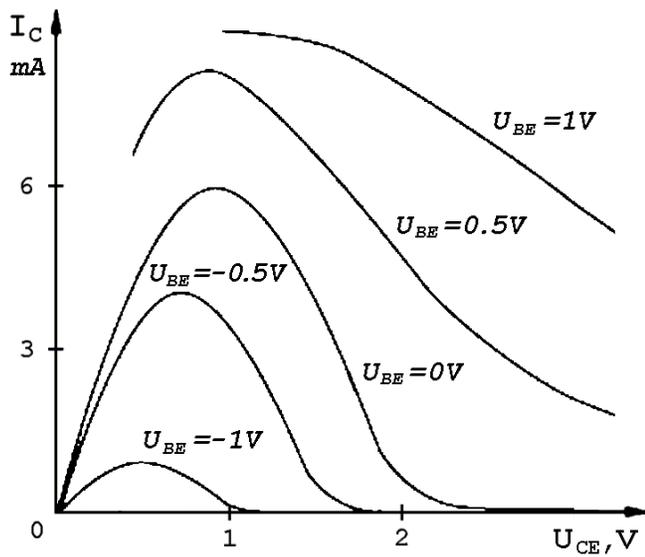


Рис. 15. ВАХ лямбда-транзистора NLT

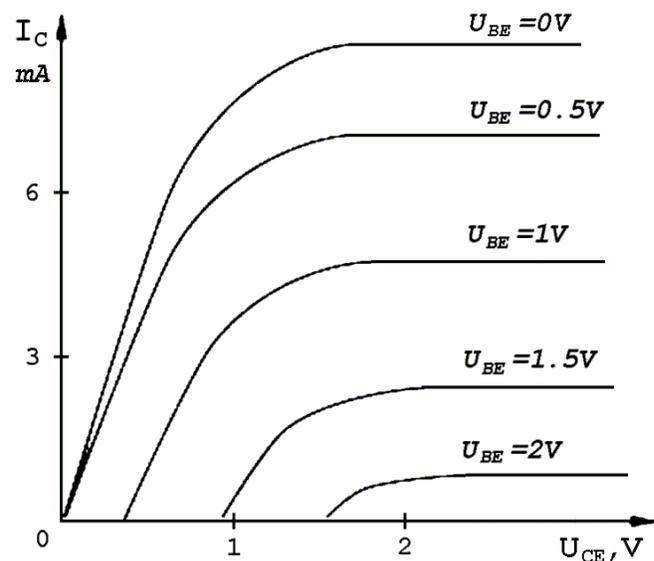


Рис. 16. ВАХ лямбда-транзистора PLT

Рассмотрим для примера схему троичного элемента "ИЛИ" (рис. 17). Она содержит только нормально открытые МОП-транзисторы, т.е. отличается от схем [18,19] однородностью структуры. Отметим, что любую функцию троичной логики можно выразить через двухвходовое "ИЛИ" ("И") в сочетании с циклическим сдвигом. Последний играет исключительную роль в синтезе трехуровневых схем и может быть реализован на троичном мультиплексоре [18,19].

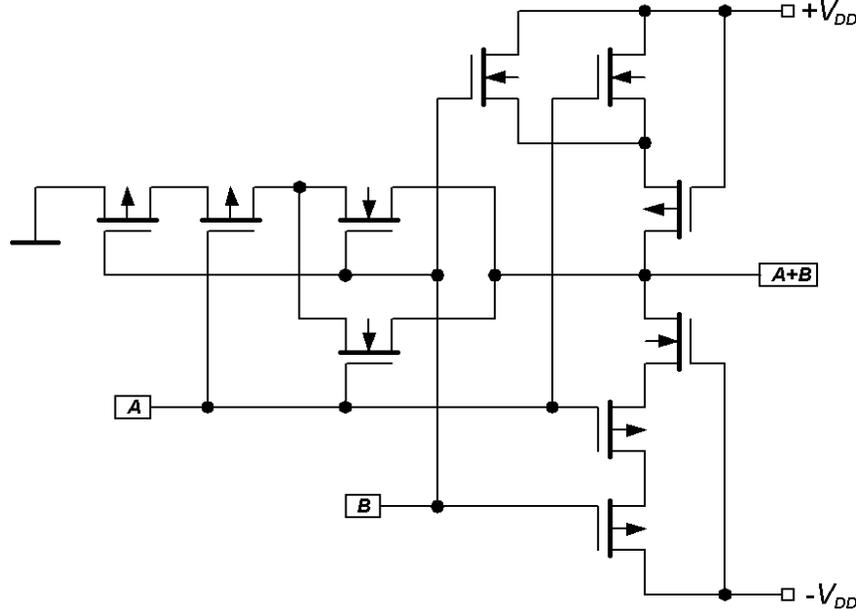


Рис. 17. Троичный элемент "ИЛИ" на транзисторах одного типа

На трёхуровневых цифровых элементах гораздо проще реализовать так называемый асинхронный (asynchronous) микропроцессор, т.е. процессор без тактового генератора (self-timed, clockless processor). Потребность в нём обострилась когда нужно было совместить на одной плате цифровые и высокочастотные аналоговые схемы с большой чувствительностью. Выяснилось, что сигнал тактовой частоты процессора проникает в аналоговую схему, а его спектр создает дополнительные помехи. Помимо этого потребляемая процессором мощность напрямую зависит от его тактовой частоты. Всё это говорит о том, что высокочастотные цифро-аналоговые устройства с питанием от батареек (например пейджеры) должны иметь асинхронный процессор. Основной принцип, который используется для его построения это "запрос – ответ" с квитированием.

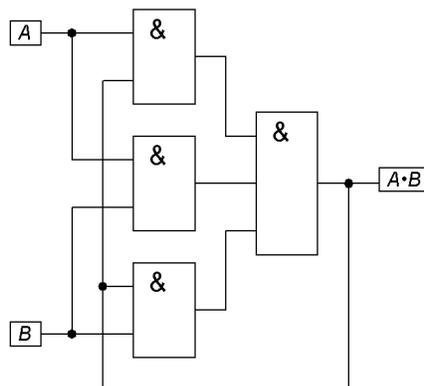


Рис. 18. С-элемент Маллера (логическое "И")

Традиционные процессоры, как известно, представляют собой конечные автоматы, использующие двоичную логику. Проблема в том, что определить состояние такого автомата при его физическом воплощении можно не в любой момент. Это объясняется тем, что ячейки автомата имеют ненулевое время переключения из одного бинарного состояния в другое, т.е. в момент переключения состояние ячеек и соответственно автомата в целом оказывается неопределенным. Чтобы зафиксировать дискретные состояния автомата, все переключения привязываются к переднему или заднему фронтам тактового сигнала. Таким образом двоичная логика не включает в себя условие завершения выполнения операции. Она может существовать только на фоне диаграммы, развертывающей процесс выполнения во времени. Иначе говоря, у двоичной схемы "И" ("ИЛИ") имеющей два информационных входа, на самом деле обязан быть третий управляющий вход, который синхронизирует два остальных. Самосинхронная схема такого элемента была впервые предложена в 1959 году, когда Д. Е. Маллер и У. С. Бартки опубликовали отчет, в котором впервые предложили подход, связанный со схемами, не зависящими в своем поведении от задержек элементов (speed-independent, quasi-delay insensitive). Такая схема получила название С-элемент Маллера и показана на рис. 18.

Основополагающие работы в области синтеза асинхронных логических схем (автоматов) принадлежат профессору В.И. Варшавскому. Он высказал идею о необходимости расщепления входных последовательностей на две фазы - активную (рабочую) и неактивную (спейсер), так как при этом все переходы в последовательностях становятся монотонными. Он предложил конструкцию простейшего триггера с индикацией моментов окончания переходных процессов, названную триггероидом, который работает правильно независимо от реальных задержек его элементов. Триггероид неспособен хранить записанную в него информацию при некоторых значениях входов, но в совокупности с двумя дополнительными триггерами без индикаторов позволяет построить самосинхронный счетный триггер. Если внимательно проанализировать многие асинхронные блоки, нашедшие сейчас практическое применение, то в них при желании можно увидеть прототипы схем, изобретенных Варшавским. Отметим в хронологическом порядке важнейшие темы в которые он внёс вклад.

- самосинхронная реализация комбинационных логических схем и конечных автоматов (парафазная и четырехфазная со встроенными индикаторами), 1976;
- работы по самосинхронным кодам и реализации кодов в изменениях, 1981;
- самосинхронные интерфейсы, использующие двух- и трехстабильные линии с избыточным кодированием или временную избыточность, 1981 - 1988;
- надежные самотестируемые и саморемонтируемые архитектуры, 1982 - 1986;
- схемы, нечувствительные к задержкам в транзисторах и проводах, 1987;
- мостиковые транзисторные схемы (в том числе, двух- и трехходовых С-элементов), 1988.
- асинхронные реализации FIFO-структур и схем памяти, 1988 - 1993;
- проектирование асинхронных схем на основе квантовых устройств (квантовых точек, одноэлектронных транзисторов), 1995 - 1996;

Рассмотрим одну из предлагаемых разработок в области асинхронной логики NULL Convention Logic (NCL). Она существует в двух вариантах, как трёхзначная, где используются сигналы "true", "false" и "null", и как четырёхзначная с дополнительным сигналом "intermediate". Использование четвертого сигнала позволяет сделать конструкцию логических элементов и их работу более эффективной. Избавление от синхронизации в NCL достигается путем интеграции данных и управления в одном логическом потоке, где "null" (разделитель) выполняет синхронизирующую функцию. Информативные сигналы ("1-true", "0-false") и "null" передаются по разным проводам, поэтому такой подход называют "dual-rail". Сигнал считается "верным" лишь

тогда, когда по параллельному проводнику поступает "null", такое разделение обеспечивает самосинхронизацию. В качестве элементной базы NCL применяются пороговые вентили с гистерезисом. Предложенную логику можно назвать "расширенной двоичной", которая симулирует свойства трёхуровневых элементов. Применение последних позволяет использовать для разделяющего сигнала ("null") один из логических уровней [35].

Работа над другой реализацией асинхронного процессора ведется в исследовательской лаборатории Sun Microsystems под руководством Айвэна Сазерленда (Ivan E. Sutherland). Ему принадлежит идея микроконвейера (рис.19), функционирование которого организовано на принципах, названных "рукопожатием" (handshaking). Рукопожатие в данном случае - ни что иное, как реализация обратной связи путем обмена служебными сигналами. Этот принцип получил большое распространение, он существует в разных версиях, активное и пассивное, двух- и четырехфазное. Главное преимущество троичной логики - это простая реализация протокола рукопожатия, что значительно уменьшает количество соединений [36].

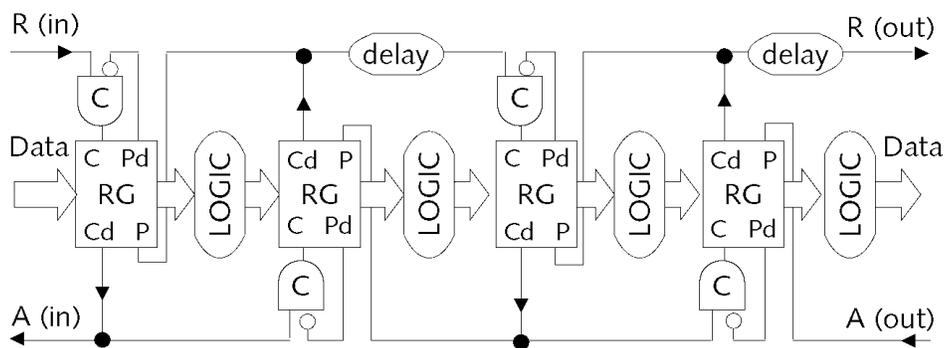


Рис. 19. Структурная схема микроконвейера

Внедрение асинхронного управления в процессор означает частичный или полный отказ от программного управления и переход к управлению по обратной связи. Её можно поместить на самый нижний уровень, реализуемый непосредственно на кристалле, если использовать так называемые С-элементы Маллера (Muller C-element). Более высокий, средний уровень предполагает включение дополнительных сигналов в поток данных, что позволяет реализовать обратную связь на уровне элементарных логических функций. К среднему уровню также относят и технологию, которая называется микроконвейерной. Наконец, третий, верхний уровень предполагает охватывание петель обратной связи более крупных логических компонентов, включающих в себя регистры целиком.



28.10.05  
Александр Кушнеров

Университет им. Бен-Гуриона  
Беэр-Шева, Израиль

## Литература:

- [1] Брусенцов Н. П. "Использование троичного кода и трёхзначной логики в цифровых машинах". Научный отчёт №24ВТ(378), МГУ, Москва 1969г. 27 стр.
- [2] Фомин С. В. Системы счисления. М., "Наука" 1987 г., 48 стр.
- [3] Харинов М. В. "Псевдотроичная система счисления и анализ изображений". Труды СПИИРАН. Выпуск 1, том 2. Санкт-Петербург, 2002. 286 с.
- [4] Alexey Stakhov "Brousentsov's Ternary Principle, Bergman's Number System and Ternary Mirror-symmetrical Arithmetic" The Computer Journal Vol. 45, № 2, pp. 221-236, 2002
- [5] <http://www.goldenmuseum.com>
- [6] Patent US3662193 Robert C. Braddock Tri-stable circuit May 9, 1972
- [7] P. Ambrož, C. Frougny, Z. Masáková and E. Pelantová "Arithmetics on number systems with irrational bases" The Bulletin of the Belgian Mathematical Society - Simon Stevin Vol. 10, № 5 2003, pp. 641–659
- [8] Г. Харди. Двенадцать лекций о Рамануджане М., Институт компьютерных исследований, 2002. 336 с.
- [9] [http://www.geocities.com/titus\\_piezas/Ramanujan\\_a.htm](http://www.geocities.com/titus_piezas/Ramanujan_a.htm)
- [10] Поспелов Д.А. "Логические методы анализа и синтеза схем". Изд. 3-е, перераб. и доп. – М.: Энергия, 1974.
- [11] G. Frieder and C. Luk, "Algorithms for binary coded balanced and ordinary ternary operations," IEEE Trans. Comput. Vol. 24, 212, Feb. 1975.
- [12] <http://www.dcs.gla.ac.uk/~simon/teaching/CS1Q-students/systems/tutorials/tut3sol.pdf>
- [13] L. Ojala and P. Yrjölä, "Design of A/D converters for binary coded ternary systems," Conference Record of the 1972 Symposium on the Theory and Applications of Multiple-Valued Logic Design, New York, May 25-26, 1972.
- [14] Patent DE4029162 Mueller Werner "Digital-to-analogue converter for binary audio input - performs binary to ternary code conversion for economy of switches connecting reference voltages to analogue adder" 1992-03-19
- [15] П.П. Мальцев, Н.С. Долидзе, М.И. Критенко и др. Цифровые интегральные микросхемы: Справочник М.: Радио и связь, 1994, 240с.
- [16] Patent US4808854 Reinagel Frederick Trinary inverter 1989-02-28
- [17] Patent DE19832101 Stackelberg Josef "Implementing basic ternary circuits using CMOS technology" 2000-01-27
- [18] Макаров Д. А. "Исследование трехуровневых логических устройств". Дипломная работа. ГУАП, Санкт-Петербург 2000 г.

- [19] <http://trilog.narod.ru/index.htm>
- [20] Авторское свидетельство SU1707757 A1 Кушниренко А.Н. Троичный дизъюнктор на МДП транзисторах 23.01.1992
- [21] Авторское свидетельство SU1832377 A1 Кушниренко А.Н. Конъюнктор на МДП транзисторах 07.08.1993
- [22] Воробьев Н.В. Мультиплексор как многофункциональный узел. CHIPNEWS, №2 1999г.
- [23] Patent US3330971 Thomas T. R. "Nor-nand logic circuit using tunnel diodes" July 11, 1967
- [24] Patent US3441746 Paradine Chris. "Clocked bistable tunnel-diode logic circuit" April 29, 1969
- [25] F. Salter, "A Ternary Memory Element Using a Tunnel Diode," IEEE Trans. on Electronic Computers, C-13, № 2, April 1964, pp. 155-156.
- [26] Patent GB1085178 Kohn Gerhard; Seitzer Dieter "Tunnel diode multistable circuit" Sep. 27, 1967
- [27] Patent US4956681 Yokoyama Naoki; Taguchi Masao "Ternary logic circuit using resonant-tunneling transistors" Sep. 11, 1990
- [28] Niu Jin, Sung-Yong Chung, R. M. Heyns, P. R. Berger, Ronghua Yu, Ph. E. Thompson, and S. L. Rommel, "Tri-State Logic Using Vertically Integrated Si-SiGe Resonant Interband Tunneling Diodes With Double NDR", IEEE Electron Device Letters, 25, Sep. 2004, pp. 646-648
- [29] Patent US3699540 Dennis Joseph Lynes, Jerry Mar "Two-terminal transistor memory utilizing collector-base avalanche breakdown", Oct. 17, 1972
- [30] Patent US3699541 Dennis Joseph Lynes, Jerry Mar "Two-terminal transistor memory utilizing emitter-base avalanche breakdown", Oct. 17, 1972
- [31] Авторское свидетельство RU2200351 C2 Бубенников А.Н. Зыков А.В. "Сверхбыстродействующее сверхинтегрированное БиМОП ОЗУ на лавинных транзисторах" 10.03.2003
- [32] Mizuno H., Kano G., Takagi H., Teramoto I. "Theory of negative resistance of junction field-effect transistors" IEEE Journal of Solid-State Circuits, Vol. 11, Issue 2, Apr. 1976, pp. 313 - 317
- [33] <http://www.crasnopolski.com/jsp/lambdaDiode.jsp>
- [34] Авторское свидетельство SU1347153 A1 Механцев Е.Б., Краснопольский А.Г., Рысухин Г.В., Гаврилюк В.И., "D-триггер на полевых транзисторах" 23.10.1987
- [35] Chung-Yu Wu, Hong-Yi Huang, "Design and Application of Pipelined Dynamic CMOS Ternary Logic and Simple Ternary Differential Logic" IEEE Journal of Solid-State Circuits, Vol. 28, № 8, pp. 895-906, 1993.
- [36] R. Mariani, R. Roncella, R. Saletti, P. Terreni. "On the Realisation of Delay-Insensitive Asynchronous Circuits with CMOS Ternary Logic", Third International Symposium on Advanced Research in Asynchronous Circuits and Systems (ASYNC '97), p. 54, 1997